



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06204304 A

(43) Date of publication of application: 22.07.94

(51) Int. Cl.

H01L 21/66  
G01R 1/073  
G01R 31/26

(21) Application number: 05255400

(71) Applicant: OKI ELECTRIC IND CO LTD

(22) Date of filing: 13.10.93

(72) Inventor: SASANO SATORU

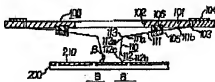
(54) TESTING METHOD FOR WAFER

COPYRIGHT: (C)1994,JPO&amp;Jepi

(57) Abstract:

PURPOSE: To prevent damage on the circuit pattern of a semiconductor element or the circuit pattern connecting part by the tip part of a probe when overdriven.

CONSTITUTION: A wafer 200, on which a plurality of semiconductor elements 210 are formed, is prepared in a wafer preparation process. In a probe arrangement process, the tip part 112, to be connected to a semiconductor element electrode part, is arranged on the semiconductor element electrode part using a hooked needle-like probe 110 whose tip part 112, to be connected to the semiconductor element electrode part, is bent at a bending part 113. Then, in a probe pressure-bonding process, the tip part 112 and the electrode part are pressure-bonded in the state wherein the circuit pattern or the circuit pattern connection part of the semiconductor element 210 is not arranged in the direction of sliding movement on the electrode part of the tip part 112 due to the pressure bonding of the tip part 112 and the semiconductor element electrode part. Then the electric characteristics of the semiconductor element 210 is tested using the probe 110.



特開平6-204304

(43)公開日 平成6年(1994)7月22日

(51)Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/66	B	7630-4M		
	E	7630-4M		
G 0 1 R 1/073	E			
31/26	J	9214-2G		

審査請求 有 発明の数1(全 8 頁)

(21)出願番号 特願平5-255400  
実願昭61-167226の変更  
(22)出願日 昭和61年(1986)10月30日

(71)出願人 000000295  
神電気工業株式会社  
東京都港区虎ノ門1丁目7番12号  
(72)発明者 笹野 寛  
東京都港区虎ノ門1丁目7番12号 神電気  
工業株式会社内  
(74)代理人 井理士 柿本 恭成

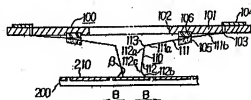
## (54)【発明の名称】 ウエハの試験方法

## (57)【要約】

【目的】 オーバドライブ時のプローブ針先端部による半導体素子の回路パターンあるいは回路パターン接続部の損傷を防ぎ、さらに不良品として判定された半導体素子上に付された不良マークがプローブ針に付着することを防止する。

【構成】 ウエハ準備工程において、複数の半導体素子210が形成されたウエハ200を準備する。プローブ針配置工程において、半導体素子電極部に接続される先端部112が屈曲部113で屈曲された鉤針状のプローブ針110を用い、その先端部112を半導体素子電極部上に配置する。次に、プローブ針圧接工程において、半導体素子210の回路パターンあるいは回路パターン接続部を、先端部112と半導体素子電極部との圧接による該先端部112の電極部上での押動する方向に配置しない状態で、先端部112と電極部とを圧接する。その後、プローブ針110を介して半導体素子210の電気的特性を試験する。

100: フロ-カード  
110: プローブ針  
111: 柄部部  
112: 先端部  
113: 屈曲部  
200: ウエハ  
210: 半導体素子



本発明のプローブカード断面図

1

## 【特許請求の範囲】

【請求項1】 平板状でかつその平面に、回路パターン部と、該回路パターン部に離間配置された電極部と、該回路パターン部と該電極部間を接続する回路パターン接続部とを有する半導体素子で、複数配置されたウエハを準備するウエハ準備工程と、

各々一端と他端とを有する銅線部及び先端部と、該銅線部と該先端部の各々一端とを連結しかつ該先端部の他端とをその一端より該銅線部の他端側に屈曲する屈曲部とから成る鉤針状のプローブ針を、該先端部の他端の延長線から前記ウエハ平面上に対して鋭角に交わり、かつ該先端部の他端と前記電極部とが前記ウエハ平面上に対し垂直な方向で離間して対向するように前記ウエハ上に配置するプローブ針配置工程と、

前記ウエハ上に配置された前記プローブ針を前記ウエハ平面上に対し垂直な方向で前記ウエハ側に移動し、前記プローブ針の先端部の他端が前記回路パターン接続部から離れる方向に撓動可能な状態で、該先端部の他端を前記電極部に圧接するプローブ針圧接工程とを、

順に実行して前記ウエハの各半導体素子に対する電気的特性を試験するようにしたことを特徴とするウエハの試験方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体素子が多数形成されたウエハの電気的特性をプローブカードを用いて測定するウエハの試験方法に関するものである。

【0002】

【従来の技術】従来、このような分野の技術としては、例えば次のような文献に記載されるものがあった。

文献1：フジアドバンス株式会社カタログ「プローブライタ プローブカード技術」P. 1-26

文献2：実開昭60-8104号公報

文献3：特公昭58-50024号公報

文献4：特公昭51-44370号公報

文献5：実開昭61-32969号公報

図2は前記文献1に記載された従来のプローブカードの平面図、及び図3はその断面図である。このプローブカード10は、ウエハ20の平面に多数形成された半導体素子21の検査工程において、その電気的特性試験を自動的に行うために、ウエハプロベリング装置に取付けられて各半導体素子21との接続を行うものである。プローブカード10は、プリント基板からなるカード本体11を有し、そのカード本体11のほぼ中央部に円形の開口部12が形成され、該開口部12の周辺に複数のスルーホール13が配設されている。複数のスルーホール13にはそれぞれ配線パターン14が接続され、それらの配線パターン14がカード本体11の増部に設けられた複数の端子15にそれぞれ接続されている。この端子15は、プローブカード10をウエハプロベリング装置に

2

接続するものである。カード本体11の裏面側には、絶縁体16を介して固定リング17により、複数のプローブ針18が固定され、それらのプローブ針18が複数のスルーホール13にそれぞれ接続されている。各プローブ針18は、開口部12の中心下方に向って斜めに伸びており、その屈曲部18aにおいて先端部18bが下方に曲げられている。このプローブ針18の太さは、先端部18bの方向に徐々に細くなる形状となっている。

【0003】図4は、図3のプローブ針18と半導体素子21に形成された電極部との接続状態を示す平面図である。ウエハ20の平面には多数の半導体素子21が形成されている。各半導体素子21には、例えば、中央に回路パターン部21aが形成され、その回路パターン部21aと離間して周囲に複数の電極部21bが配置され、それらの複数の電極部21bと回路パターン部21aとが回路パターン接続部21cによってそれぞれ接続されている。図4の2、5、6は電極部21bとプローブ針18の先端部18bとの接触部である。プローブ針18の先端部18bは、その下方に置かれる半導体素子21の周辺部の電極部21bに確実に接触させるために、屈曲部18aで下方に曲げられており、その電極部21b平面に対する折り曲げ角度 $\alpha$ が90°より小さくするように設定されている。以上のように構成されるプローブカード10を用い、ウエハ20に形成された多数の半導体素子21の電気的特性を試験する方法について説明する。まず、ウエハ準備工程において、多数の半導体素子21が形成されたウエハ20をウエハステージ上の所定の位置に載置する。そして、プローブ針配置工程において、ウエハ20の平面に形成された半導体素子21の電極部21bと、プローブカード10に設けられたプローブ針18との位置合わせを行う。

【0004】次に、プローブ針圧接工程において、プローブ針18の先端部18bを電極部21bに接触させた後、図4に示すように、ウエハステージを上方に押し上げて電極部21bとプローブ針18の先端部18bとの接触部25に圧力を加えることにより、該電極部21bとプローブ針18の先端部18bとを確実に接触させる。このように、ウエハステージを上方に押し上げ、接触部25に圧力を加えることをオーバードライブと呼んでいる。オーバードライブにより、角度 $\alpha$ を有するプローブ針18の先端部18bには上向きの力が作用し、その分として図4の矢印Aで示すように、半導体素子21の中央の回路パターン部21a方向への力が作用する。それ故、プローブ針18の先端部18bは屈曲部18aの変形を伴い、矢印Aの方向に撓動する。このとき、プローブ針18の屈曲部18aより上方の太い部分は殆ど変形しない。矢印Aの方向の先端部18bの撓動により、電極部21bと電極部18bとの接触部25は、矢印Aで示すように半導体素子21の中央の回路パターン部21a方向に加圧されながら移動し、その移動

3

後の接触部26において確実な接続が行われる。その後、プローブカード10に接続されたテスト等からテスト信号が出力され、そのテスト信号がプローブ針18及び半導体素子21の電極部21bを介して該半導体素子21の回路パターン部21aへ送られ、その回路パターン部21aの電気的特性が試験される。以上のようなプローブカード10を用いたウエハの試験方法では、前記文献2に記載されているように、プローブ針18が半導体素子21に付された不良マークに触れて隣接する他の半導体素子21を汚すおそれがある。そこで、前記文献2には、半導体素子21の電極部21bの配列及びプローブ針18の配列を特定のものとする方法が提案されており、以下その方法を図5及び図6を参照しつつ説明する。

【0005】図5は前記文献2に記載された従来のプローブ針18と半導体素子21との接続部の断面図、及び図6はその接続部の平面図である。図5に示すように、ウエハ20の平面に形成された多数の半導体素子21(21-1, 21-2, ...)において、ある半導体素子21-1の試験を待つてその試験結果によって不良と判断されると、該半導体素子21-1上に不良マーク27が付される。次に、不良マーク27が付された半導体素子21-1に隣接する半導体素子21-2の試験を行うために、プローブ針18を該半導体素子21-2の電極部21bに接触させるとき、該プローブ針18が不良マーク27に接触するおそれがある。プローブ針18が不良マーク27に接触してそのインク等が該プローブ針18に付着すると、試験結果の良好であった他の半導体素子21を汚すことがあり、その結果、良好な半導体素子21を不良品として誤認してしまうことが生じる。そこで、これを防ぐために前記文献2の技術では、図6に示すように、不良マーク27が付された半導体素子21-1のほぼ中央部付近の上方には、プローブ針18が位置しないように、半導体素子21-2の周辺に設けられる多数の電極部21bのその中央部付近の設置間隔を広くとり、これに合わせてプローブ針18を配列するようにしている。

【0006】

【発明が解決しようとする課題】しかしながら、従来のウエハの試験方法では、次のような問題があった。

(1) プローブ針18の老朽化によるその先端部18bの寸法の狂い、該先端部18bと電極部21bとの接触位置合わせの誤差、及びウエハ20を半導体素子単位で移動させる移動装置の不具合等により、電極部21b上のプローブ針18の先端部18bの接触位置が所定位置から逸脱することがある。この逸脱が半導体素子21の中央に設けられた回路パターン部21a方向に大きく生じる場合には、オーバードライブ時に加圧されて中心方向へ振動するプローブ針18の先端部18bは、回路パターン接続部21cあるいは回路パターン部21aそ

4

のものを損傷させ、半導体素子21の電気的特性の不良若しくは外観検査上の不良を発生させてしまう。

(2) ある半導体素子21-2の電極部21bとプローブ針18が接触している状態において、隣接する不良マーク27が付された半導体素子21-1と、該プローブ針18との高さ方向の間隔が十分ないために、該不良マーク27のインク等がプローブ針18に付着し、このインク等が試験結果の良好な他の半導体素子21に付着することがある。そのため、良好な半導体素子21が不良品とみなされてしまうおそれが生じる。

(3) 前記(2)の問題を解決するために、前記文献2の技術ではプローブ針18が不良マーク27に接触しないように、そのプローブ針18及び電極部21bを配列する方法をとっている。ところがこの方法の場合、高集積化した半導体素子21においては、電極部21bの間に十分な間隔を設けることが難しく、あえて設けるためには該半導体素子21の寸法を大きくしなければならぬという問題が生じる。

(4) 前記(1)～(3)の問題を解決するため、前記文献3～5に記載された技術を採用することが考えられる。

【0007】図7(a)、(b)は、前記文献3に記載された従来の集積回路組立方法を説明するための断面図である。この集積回路組立方法は、表面に結合パッド31aを有する集積回路チップ31の電気的特性を試験した後、良品と判定された集積回路チップ31を、相互接続基板32の表面に形成されたリード33に接続し、集積回路を組立てる方法である。集積回路チップ31を試験するためには、該集積回路チップ31をガラス取付板34上に固定する。そして、相互接続基板32をガラス取付板34上に載せ、そのリード33の尖った先端部33aを集積回路チップ31の結合パッド31a上に位置決めする。従動部材35によつてリード33の先端部33aを押し下げ、該先端部33aを結合パッド31aに接触させる。そして、リード33及び結合パッド31aを通して集積回路チップ31にテスト信号を供給し、該集積回路チップ31の電気的特性を試験する。試験結果により、良品の集積回路チップ31に対し、従動部材35に代えて超音波接合チップ36でリード33の先端部33aを押し下げ、該先端部33aを電極パッド31aに接触させ、超音波接合によつて該先端部31aと電極パッド31aを溶着すれば、集積回路の組立てが終了する。

【0008】図8(a)、(b)は、前記文献4に記載された液体電極用プローブを説明するための断面図である。この液体電極用プローブは、例えばウエハ40中の不純物濃度分布等を測定するために用いられるもので、プローブ本体41内に水銀のような接触用導電性液体42が収容されている。プローブ本体41の先端部41aは、弾性体で形成されている。ウエハ40の不純物濃度

5

分布等を測定する場合、プローブ本体41の先端部41aをウェル410の表面に圧接し、導電性液体42を通してテスト等でウェル410中の不純物濃度分布等の測定を行う。この種のプローブでは、先端部41aが弾性体で作られているので、測定時に該先端部41aをウェル410に圧接すると、その先端部41aが外側あるいは内側に曲がり、接触面積に変化をきたす。そこで、前記文献4の技術では、先端部41aに、その先端をわずかに残して剛性を有する内張あるいは外張を設けることにより、該先端部41aとウェル410との密着性と接触面積の安定性を図るようにしている。

【0009】図9は、前記文献5に記載された従来の電子部品検査用コンタクトプローブ装置の一部切欠き断面図である。このコンタクトプローブ装置は、プリント基板50上にチップ部品51を導電性接着剤52で固定する際に、その導電性接着剤52が乾燥固化する前に該チップ部品51の電気的特性を検査するための装置である。コンタクトプローブ装置は、プリント基板50に対して上下移動するプローブ保持ボード53を有し、そのプローブ保持ボード53の貫通孔53a内には、ブロック54が増設自在に装着されている。ブロック54には、弾性を有する板状の一对のプローブ55が対向して配置固定され、それら両プローブ55の先端部55aの内側が斜めにカットされている。ブロック54の貫通孔54aの内には、押え部材56が摺動自在に突出されている。押え部材56は、コイルばね57によって弾圧されており、その弾圧力が調整ねじ58によって調整できるようになっている。プリント基板50にチップ部品51を固定する場合、そのチップ部品51を導電性接着剤52を介して該プリント基板50上に接着する。この導電性接着剤52が乾燥固化する前にチップ部品51の電気的特性の試験を行うため、プローブ保持ボード53を該チップ部品51上に位置決めし、該プローブ保持ボード53をプリント基板50へ傾降下させる。すると、押え部材56によってチップ部品51が押圧され、続いて一对のプローブ55の先端部55aが該チップ部品51の両側に接触し、その先端部55aが外側に弾性変形し、その弾性反力によって該チップ部品51に十分に接触する。その後、一对のプローブ55を介してチップ部品51の電気的特性を試験する。この際、チップ部品51是一对のプローブ55によって両側から押えられるので、左右の動きが規制された該チップ部品51の完全な位置における試験が可能になる。

【0010】このような図7～図9の技術を図3のプローブカード110に適用し、前記(1)～(3)の問題を解決しようとするれば、例えば図3のプローブ針18をカード本体11の裏面に垂直方向に固定することが考えられるかもしれない。カード本体11の裏面にプローブ針18を垂直方向に固定した場合、隣接する半導体素子21上の不良マーク27の付着を防止できる。しかし、オ

6

ーバドライブ時にプローブ針18が弾性変形しにくくなるので、その先端部18bによって電極部21bが損傷する等の問題が生じやすく、それを防止するためにプローブカード自体の構造を複雑化せざるを得ない。従って、図7～図9のような技術を図3のプローブカード110に適用しても、未だ技術的に十分満足のゆくウェルの試験方法を提供することが困難であった。本発明は、前記従来技術が持っていた課題として、加圧されて半導体素子21の回路パターン部21a方向へ振動するプローブ針18の先端部18bが回路パターン部21aや回路パターン接続部21cを損傷させ、電気的特性や外観検査上の不良を発生する点、及び不良マーク27のインク等が試験結果の良好な半導体素子21に付着して不良品と誤認されるおそれがある点等を、比較的簡単な構造のプローブカードを用いて除去することが困難な点について解決したウェルの試験方法を提供するものである。

【0011】

【課題を解決するための手段】本発明は、前記課題を解決するために、ウェルの試験方法において、複数の半導体素子が形成されたウェルを準備するウェル準備工程と、プローブ針配置工程と、プローブ針圧接工程とを、順に実行して前記ウェルの各半導体素子に対する電気的特性を試験するようにしている。ウェル準備工程では、平板状かつその平面上に、回路パターン部と、該回路パターン部に隣接配置された電極部と、該回路パターン部と該電極部間を接続する回路パターン接続部とを有する半導体素子が、複数配置されたウェルを準備する。プローブ針配置工程では、各々一端と他端とを有する銅体部及び先端部と、該銅体部と該先端部の各々一端とを連結し、かつ該先端部の他端をその一端より該銅体部の他端側に屈曲する屈曲部とから成る鉤針状のプローブ針を、該先端部の他端の延長線が前記ウェル平面上に対して鋭角に交わり、かつ該先端部の他端と前記電極部とが前記ウェル平面上に對し垂直な方向で離開して対向するよう前記ウェル上に配置する。さらに、プローブ針圧接工程では、前記ウェル上に配置された前記プローブ針を前記ウェル平面上に對し垂直な方向で前記ウェル八側に移動し、前記プローブ針の先端部の他端が前記回路パターン接続部から離れる方向に振動可能な状態で、該先端部の他端を前記電極部に圧接する。

【0012】

【作用】本発明によれば、以上のようにウェルの試験方法を構成したので、ウェル準備工程で準備されたウェル上に、プローブ針配置工程によってプローブ針を配置した後、プローブ針圧接工程でプローブ針に対するオーバドライブを行う。このオーバドライブ時には、プローブ針の先端部が、半導体素子の回路パターンあるいは回路パターン接続部に向かうことなく、それと離れる方向に電極部上を振動し、該回路パターンあるいは回路パターン接続部の損傷の防止が図れる。また、オーバドライブ

7

時に、鉤針状のプロブ針は、電極部に圧接される先端部一端と胴体部との距離を小さくする方向に変形力が働く。これにより、プロブ針と半導体素子との上下間隔を広くとれ、該プロブ針と他の半導体素子上に付された不良マークとの接触の防止が図れる。従って、前記課題を解決できるのである。

【0013】

【実施例】図1は本発明の実施例のウエハの試験方法に用いられるプロブカードとウエハの概略の断面図、及び図10は図1のプロブ針と半導体素子との接続状態を示す平面図である。図1に示すプロブカード100は、プリント基板等からなるカード本体101を有し、そのカード本体101の中央部に例えば凹形状の開口102が形成され、その周囲に複数のスルーホール103が配設されている。カード本体101の上には、複数のスルーホール103にそれぞれ接続された配線パターン104が形成され、それらの配線パターン104が、カード本体101に設けられた図示しない複数の端子にそれぞれ接続されている。カード本体101の下面側には、絶縁部材105を有する固定リング106によ

8

図10の120、121は電極部212上のプロブ針先端部112との接触部、及び矢印Bはその接触部120、121の撓動方向を示している。

【0015】次に、図1及び図10を参照しつつ、プロブカード100を用いたウエハ200の試験方法を説明する。まず、ウエハ準備工程において、ウエハ200をウエハステージ上の所定の位置に載置した後、プロブ針配置工程において、ウエハ200の半導体素子210の周囲に形成された複数の電極部212上に、プロブ針110の先端部112が対向するように、該プロブ針110の位置合わせを行う。次に、プロブ針圧接工程において、プロブカード100をウエハ200側へ移動し、プロブ針110の先端部112を半導体素子210の電極部212に接触させる。そして、ウエハステージを上方へ押し上げてオーバードライブを行い、プロブ針先端部112と電極部212との接触部120に圧力を加えることにより、両者を確実に接触させる。前記オーバードライブにより、プロブ針先端部112にはウエハ200から向上きの力が作用するので、90°より小さな角度 $\beta$ を有する先端部112は、図10の矢印Bで示す方向に前記向上きの力の分力が作用する。このとき、プロブ針110の屈曲部113、112cが変形するので、先端部112が図10の矢印Bの方向（即ち、半導体素子210の中央の回路パターン部211に対して外向方）へ電極部212上を撓動する。この撓動の様子は図10に示すように、電極部212上のプロブ針先端部112との接触部120が、オーバードライブによって矢印Bで示す回路パターン部211の外向方へ加圧されながら撓動変位し、その変位後の接触部121において確実な接触が行われる。前記プロブ針配置工程及びプロブ針圧接工程において、プロブ針110に屈曲部113が設けられたことにより、該プロブ針110の胴体部111はウエハ200上十分な高さを持つ。それ故、仮に半導体素子210に隣接して不良マークの付された他の半導体素子210があっても、該プロブ針110がその不良マークに接触するおそれはない。プロブ針圧接工程後においては、テスト等により、プロブ針110を介して半導体素子210にテスト信号が供給され、該半導体素子210の電気的特性が試験されて良品か否かの判定が行われる。不良品の場合には不良マークが付され、次の半導体素子210の試験が行われる。

【0016】本実施例のウエハの試験方法では、次のような利点を有する。

(1) プロブ針110の屈曲部113によってその先端部112を半導体素子210の回路パターン部211から離れる方向に屈曲したので、その先端部112の電極部212上の接触位置が、所定位置から回路パターン部211へ逸脱していても、オーバードライブ時に該先端部112が回路パターン部211から離れる

【0014】即ち、プロブ針110は、胴体部111が固定リング106から開口部102の中心のやや下方に向かって斜めに突出し、屈曲部113を介して先端部112がさらに下方に曲げられ、その先端部112の屈曲部112cにおいて該開口部102の中心に対して外向方に曲げられている。このプロブ針110は、固定リング106付近で太く、先端部112へ向かうにつれて徐々に細くなっている。このようなプロブカード100を用いて試験されるウエハ200は、図10にも示されているように、平板状をなし、その平面に複数の半導体素子210が配置されている。各半導体素子210は、その表面の中心部に回路パターン部211が形成されたと共に、周辺部に複数の電極部212が形成され、それらの電極部212が回路パターン部213を介して該回路パターン部211に接続されている。なお、

外方向へ揺動する。それ故、回路パターン211や回路パターン接続部213を損傷させることがない。従って、電気的特性や外観検査上の不良を防止できる。

(2) プローブ針110の胴体部111は、ウエハ200上十分な高さを有するので、隣接する半導体素子210に不良マークが付されていても、この不良マークに接触するおそれはない。

(3) 前記(2)の利点により、プローブ針110及び電極部212を不良マーク位置を避けて配列させる必要がないので、高集積化した半導体素子210に対して、

【0017】図11は、本発明の他の実施例を示すプローブカードの概略の断面図である。このプローブカード100では、第1の実施例のプローブ針110とは異なる形状のプローブ針110Aを設けている点が異なっている。即ち、カード本体101の下面に固定リング106で固定されるプローブ針110Aの胴体部111Aが、ウエハ200の表面に対して平行に固定され、該胴体部111Aに屈曲部113Aで連結された先端部112Aが、ウエハ200表面に対し垂直に垂下するようにほぼ直角に折り曲げられている。このような構造のプローブカード100を用いてウエハ200に対する試験を行えば、前記実施例とはほぼ同様の作用、効果が得られる。しかも、プローブ針110Aの形状の単純化により、その製造とカード本体101への取付け時の位置合わせが容易になるという利点がある。

【0018】なお、本発明は図示の実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(a) 上記実施例では、プローブ針110、110Aを直線の組み合わせから構成される鉤針状の形状としたが、これに限定されない。例えば、プローブ針110、110Aを曲線の組み合わせにより構成し、屈曲部113、113A、112cを曲率を有するように曲げててもよい。また、プローブ針110、110Aを直線の組み合わせとし、屈曲部113、113A、112cのみに曲率を有する構成とすることもできる。

(b) プローブ針110、110Aの先端部112、112A側の屈曲部112cを設けずに、屈曲部113、113Aにおいて先端部112、112Aが半導体素子210の中心から外方向へ向くような角度に折り曲げててもよい。但し、この場合には、不良マークとの接触を避けるために、プローブ針先端部112、112Aの長さを十分長くする必要がある。

(c) プローブ針110、110Aをカード本体101の下面に取り付ける構造にしたが、これに限定されず、例えばカード本体101の上面または内部に埋設して取り付けることもできる。また、スルーホール103、絶縁部材105及び固定リング106は特に設けなくてもよい。

(d) カード本体101の開口部102の形状は円形に限定されず、例えば正方形としてもよく、また特設けなくてもよい。カード本体101は、プリント基板の代りに、例えば透明の合成樹脂板等を使用することもできる。

#### 【0019】

【発明の効果】以上詳細に説明したように、本発明によれば、半導体素子の電極部に接続されるプローブ針先端部が屈曲部で屈曲された鉤針状のプローブ針を用い、該半導体素子の回路パターンあるいは回路パターン接続部を、該プローブ針先端部と電極部との圧接による該プローブ針先端部の電極部上での揺動する方向に配置しない状態で、該プローブ針先端部と電極部とを圧接した後、半導体素子の電気的特性を試験するようにしている。そのため、オーバドライブにより、プローブ針先端部が、半導体素子の回路パターンあるいは回路パターン接続部へ向かうことなく電極部上を揺動するので、該回路パターンあるいは回路パターン接続部の損傷を防ぎ、半導体素子の電気的特性及び外観検査上の不良品の発生を防止できる。さらに、オーバドライブによって鉤針状のプローブ針に対する変形力は、半導体素子の電極部に圧接されるプローブ針先端部の一端とプローブ針胴体部との距離を小さくする方向にもたらされるので、プローブ針と半導体素子との上下間隔を従来より大きく確保できる。そのため、プローブ針と他の半導体素子上に付された不良マークとの接触を防止でき、検査結果の良好な半導体素子と不良品との誤認を防止することができる。これにより、不良マーク位置を避けてプローブ針及び電極部の配列を行う必要がなくなるので、高集積化した半導体素子に対しても、不良マークの付着防止が容易にできる。

#### 【図面の簡単な説明】

【図1】本発明の実施例のウエハの試験方法に用いられるプローブカードとウエハの概略の断面図である。

【図2】従来のウエハの試験方法に用いられるプローブカードの平面図である。

【図3】図2の断面図である。

【図4】図3のプローブ針と半導体素子との接続状態を示す平面図である。

【図5】図2のプローブ針と半導体素子との接続状態を示す断面図である。

【図6】図2のプローブ針と半導体素子との接続状態を示す平面図である。

【図7】従来の集積回路組立方法を示す断面図である。

【図8】従来の液体電極用プローブを示す断面図である。

【図9】従来の電子部品検査用コンタクトプローブ装置を示す一部切欠き断面図である。

【図10】図1のプローブ針と半導体素子との接続状態を示す平面図である。

【図11】本発明の他の実施例を示すプローブカードの

11

12

概略の断面図である。

【符号の説明】

100                      プローブカード  
101                      カード本体  
110, 110A              プローブ針  
111, 111A              胴体部  
111a, 112a            一端  
111b, 112b            他端

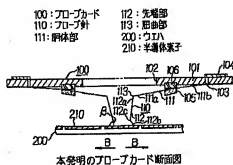
112, 112A            先端部  
112c, 113, 113A    屈曲部  
200                   ウエハ  
210                   半導体素子  
211                   回路パターン部  
212                   電極部  
213                   回路パターン接続部

先端部  
屈曲部  
ウエハ  
半導体素子  
回路パターン部  
電極部  
回路パターン接続部

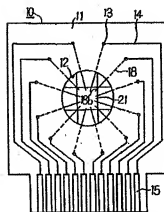
【図1】

【図2】

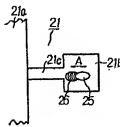
【図4】



本発明のプローブカード断面図

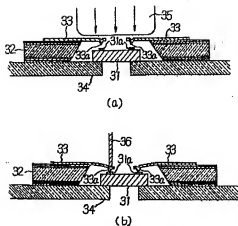


従来のプローブカード平面図



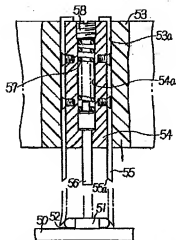


【図7】



従来の集積回路組立方法断面図

【図9】



従来の電子部品検査用コンタクトプローブ装置

【図10】

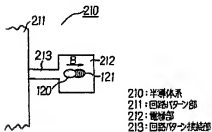
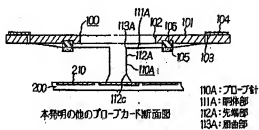


図1の半導体系子平面図

【図11】



本発明の他のプローブカード断面図